



**T.C.  
ERCIYES ÜNİVERSİTESİ  
MÜHENDİSLİK FAKÜLTESİ  
MEKATRONİK MÜHENDİSLİĞİ BÖLÜMÜ**

**ELEKTRONİK SİSTEMLER LABORATUVARI**

**TEMEL LOJİK ELEMANLAR VE UYGULAMALARI**

**DENEY SORUMLUSU**

**Arş. Gör. Burak ULU**

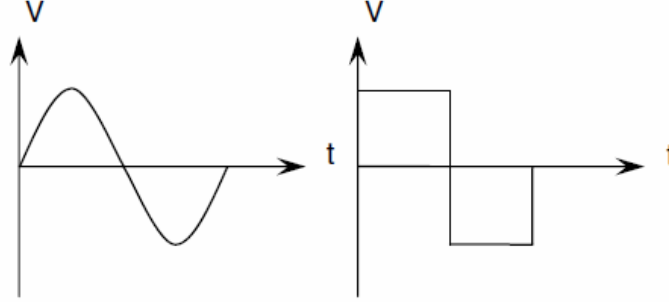
**ŞUBAT 2023**

**KAYSERİ**

## TEMEL LOJİK ELEMANLAR ve UYGULAMALARI

### 1. GİRİŞ

Analog sistemler, belirli ya da anlık zaman diliminde değişen sinyallere sahiptir. Dijital sistemlerde iki seviyeli elektrik darbe şeklinde bilgilerle işlemler yürütmektedir. Dijital sistemler analog sistemlere göre daha hızlı çözümlene ve tepki verme özelliklerine sahiptir. Şekil 12.1’de analog ve dijital sinyallere örnek iki temel işaret verilmiştir.



Şekil 12.1. Sinüs ve Kare Sinyal işaretleri.

### Sayı Sistemleri

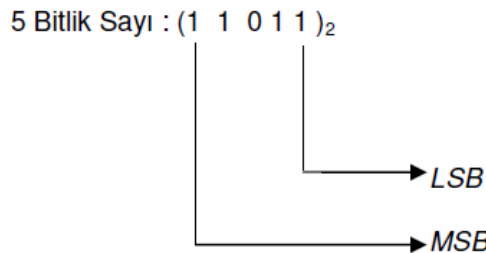
Günlük hayatta onluk sayı sistemi kullanılmaktadır. Bu bölümde ise dijital elektronikte kullanılan ikili (Binary), Sekizlik (Octal), Onaltılık (Hexadesimal) sayı sistemleri açıklanacaktır.

### Onluk Sistemleri

(0,1,2,3,4,5,6,7,8,9) rakamlarının kullanıldığı sayı sistemidir. Her sayı sistemi bir dijital, rakam, bit olarak ifade edilir.

### İkili Sayı Sistemleri

Dijital elektronikte en çok kullanılan sayı sistemidir. Sayı değeri oluşturmada 0 - 1 rakamları kullanılır. Bunun nedeni elektronik devrelerinin çoğunu iki konumlu olarak çalıştırmanın mümkün olmasıdır. “Gerilim vardır ya da yoktur”; “anahtar açıktır ya da kapalıdır”; “transistör iletimdedir ya da kesimdedir” gibi kesin iki konum vardır. İkili (binary) sayı sisteminde “0” yokluğu ya da belli bir değere göre düşük değeri (LOW) ; “1” ise varlığı ya da yüksek değeri temsil etmektedir. Bu sayı sistemi kullanılarak tasarlanan sistemler basit ve güvenilir bir başka deyişle hata oranı en az seviyeye indirilmiş sistemlerdir. Yalnızca iki gerilim değişkeni kullanarak çalışan cihaz üretmek, on farklı gerilim durumu ile çalışan cihaz üretmekten daha kolaydır. Bu sayı ağırlıklarında, bit ağırlığının en küçük olduğu bite “En Küçük Değerlikli Bit” (Least Significant Bit-LSB) , bit ağırlığının en yüksek olduğu bit ise “En Büyük Değerlikli Bit” (Most Significant Bit -MSB) denir.



### **Sekizlik (Oktal) Sayı Sistemi:**

0,1,2,3,4,5,6,7 sayılarını kullanan sayı sistemidir. 8 değişik durum vardır ve tabanı 8'dir.

$$(64)_8 : 6 \times 8^1 + 4 \times 8^0 = 52$$
$$(64)_{10} : 1 \times 8^2 + 0 \times 8^1 + 0 \times 8^0$$

### **Onaltılık (Hexadecimal) Sayı Sistemi:**

Onluk sayı sistemindeki rakamlar ( 0,1,2,3,4,5,6,7,8,9 ) ve A, B, C, D, E, F harfleri ile sembolize edilir.

| <b>Onluk Sayılar</b> | <b>İkilik Tabanda</b> | <b>Onaltılık Tabanda</b> |
|----------------------|-----------------------|--------------------------|
| 0                    | 0000                  | 0                        |
| 1                    | 0001                  | 1                        |
| 2                    | 0010                  | 2                        |
| 3                    | 0011                  | 3                        |
| 4                    | 0100                  | 4                        |
| 5                    | 0101                  | 5                        |
| 6                    | 0110                  | 6                        |
| 7                    | 0111                  | 7                        |
| 8                    | 1000                  | 8                        |
| 9                    | 1001                  | 9                        |
| 10                   | 1010                  | A                        |
| 11                   | 1011                  | B                        |
| 12                   | 1100                  | C                        |
| 13                   | 1101                  | D                        |
| 14                   | 1110                  | E                        |
| 15                   | 1111                  | F                        |

Tablo 12.1 - Onluk, ikilik ve onaltılık tabanda sayıların karşılıkları

## **2. DENEYİN AMACI**

Bu deneyde, elektronikte kullanılan diğer bir işaret şekli olan dijital işaretleri işlemede önemli bir yer tutan lojik devreler işlenecektir. Deneyde lojik devrelerde kullanılan temel mantık kapı devrelerinden ve bunlara ait çalışmayı tanımlayan doğruluk tablolarından bahsedildikten sonra, bu elemanlar kullanılarak tasarlanan ardışık lojik elemanlar olan Flip-Floplar açıklanacaktır. Ayrıca yapılacak olan deneylerde sırası ile Kombinasyonel lojik devreler, ardışık lojik elemanlardan JK tipi Flip-Flop ve MOD-6 bir Asenkron bir sayıcı yapılarak sayılan bu devreler için belirlenmiş olan doğruluk tablolarının sonuçları gözlemlenmiş olacaktır.

## **3. ÖN BİLGİ**

### **3.1. Lojik entegreler ve lojik kapılar**

Entegre devreler; lojik devrelerin içerdiği direnç, diyot, transistör ve diğer yarı iletken devre elemanlarının tek bir silikon tabaka üzerine kurularak çeşitli koruyucular içinde muhafazaya alınması ile ortaya çıkmıştır. Entegre devreler içerdikleri kapı adedine göre sınıflandırılırlar.

SSI ( Small Scale Integration – Küçük Ölçekli Entegrasyon ) : İçerdiği kapı sayısı 12’yi geçmeyen entegre devre.

MSI ( Medium Scale Integration – Orta Ölçekli Entegrasyon ) : İçerdiği kapı sayısı 12 – 100 sınırlarında olan entegre devre.

LSI ( Large Scale Integration – Büyük Ölçekli Entegrasyon ) : İçerdiği kapı sayısı 100 – 1000 sınırlarında olan entegre devre.

VLSI ( Very Large Scale Integration – Çok Geniş Ölçekli Entegrasyon ) : 1000 veya üzeri kapı içeren entegre devre.

Dijital Entegreler, içerisindeki kapıların yapıldığı elemanlara ve üretim teknolojilerine göre 8’e ayrılır.

RDL (Resistor – Diode Logic / Direnç Diyot Mantığı )

RTL (Resistor – Transistor Logic / Direnç Transistör Mantığı )

DTL (Diode – Transistor Logic / Diyot Transistör Mantığı )

HTL (High – Threshold Logic / Yüksek Esik değerli Mantık )

TTL ( Transistor – Transistor Logic / Transistör – Transistör Mantığı )

ECL ( Emiler Coupled Logic / Emiler Kuplajlı Mantığı)

CMOS ( Complementary Metal Oxide Semiconductor / Tümleşik Metal Oksitli Yarıiletken )

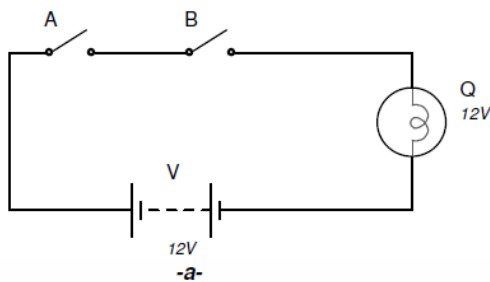
I<sup>2</sup>L ( Integrated Injection Logic / Entegre Enjeksiyonlu Mantığı)

## MANTIK KAPILARI

Mantık kapıları, dijital devrelerinin yapıtaşlarıdır. Kapı devreleri ikilik tabanda işlem yaparlar. Girişlerindeki “yüksek” seviye (HIGH) “1” olarak, “alçak” seviye (LOW) ise “0” olarak tanımlanır.

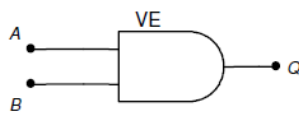
### VE Kapısı (And Gate):

Elektriksel eşdeğer devresinde görüldüğü gibi lambanın yanabilmesi için A ve B anahtarlarının kapalı durumda olması gerekir. Burada anahtarın kapalı durumuna “1” seviyesi; açık konumu ise “0” seviyesi olarak tanımlanır. (A = 1 ve B = 1 ). VE kapısının girişlerinden herhangi biri “0” seviyesinde olduğunda da çıkış “0” seviyesinde kalacaktır. Her iki giriş “1” olduğunda çıkış ( Q ) seviyesi “1” seviyesine ulaşacaktır.



| A | B | Q |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

-b-



-c-

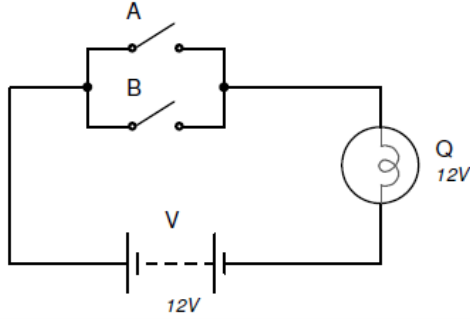
$$Q = A.B$$

-d-

Şekil 12.2 - VE kapısı a) Elektriksel Eşdeğer Devresi b) Doğruluk Tablosu c) Sembolü d) Boolean Eşitliği

### VEYA Kapısı (And Gate) :

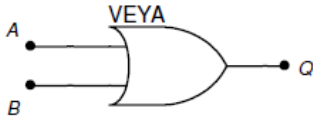
Girişlerinden herhangi biri “1” seviyesinde olduğunda çıkışını “1” seviyesine getiren kapıdır. Elektriksel eşdeğer devresinde de görüldüğü gibi 2 girişli bir VEYA kapısının girişleri birbirine paralel bağlanmış 2 anahtar olarak düşünülebilir. Entegrelerde ise bu anahtarlar yerine, anahtarlama görevi görecek yarı iletken teknolojisi kullanılır.



| A | B | Q |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

-a-

-b-



-c-

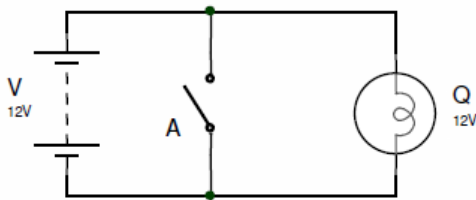
$$Q = A + B$$

-d-

Sekil 12.3 - VEYA kapısı a) Elektriksel Eşdeğer Devresi b) Doğruluk Tablosu c) Sembolü d) Boolean Eşitliği

### DEĞİL Kapısı (Not Gate) :

DEĞİL (NOT) kapısı evirici (Invertor) ya da Değilleyici olarak da adlandırılır. DEĞİL kapısı girişindeki “1” veya “0” seviyesinin “değilini” çıkışta oluşturur. Girişte “1” seviyesi var ise kapı çıkışında “0” ; girişte “0” seviyesi var ise, çıkışta “1” seviyesi oluşur.



-a-

-b-

| A | Q |
|---|---|
| 0 | 1 |
| 1 | 0 |



-c-

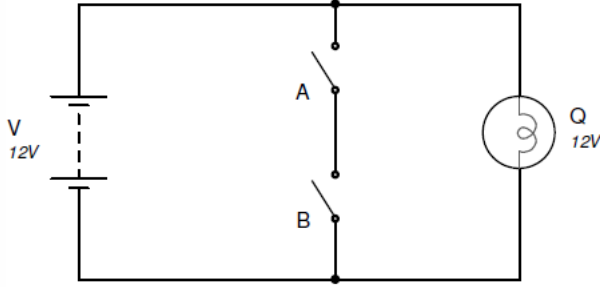
-d-

$$Q = \bar{A}$$

Sekil 12.4 - DEĞİL kapısı a) Elektriksel Eşdeğer Devresi b) Doğruluk Tablosu c) Sembolü d) Boolean Eşitliği

### VEDEĞİL Kapısı ( Nand Gate ) :

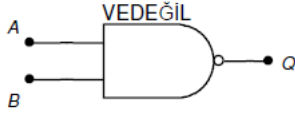
VEDEĞİL kapısında, sadece A ve B girişlerinin, her ikisi de “1” ( anahtarlar kapalı ) olduğunda çıkış “0” seviyesinde olur. Diğer durumlarda çıkış “1” seviyesindedir.



-a-

| A | B | Q |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

-b-



-c-

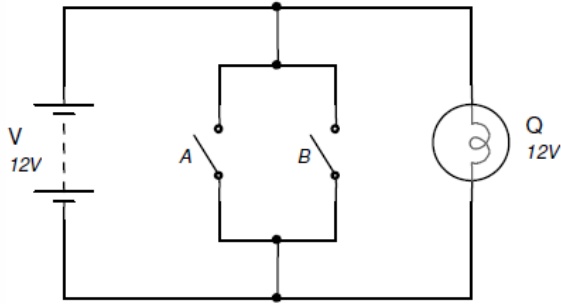
$$Q = \overline{A \cdot B}$$

-d-

Sekil 12.5 - VEDEĞİL kapısı a) Elektriksel Eşdeğer Devresi b) Doğruluk Tablosu c) Sembolü d) Boolean Eşitliği

### VEYADEĞİL Kapısı ( Nor Gate ) :

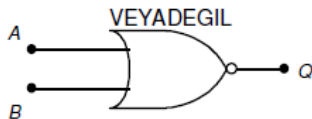
Bu kapının her iki girişi de “0” olduğu anda çıkış “1” olur. Diğer bütün durumlarda çıkış “0” dir. VEYADEĞİL kapısı VEYA kapısının tersleyici bağlanmış şekli olarak düşünülebilir.



-a-

| A | B | Q |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

-b-



-c-

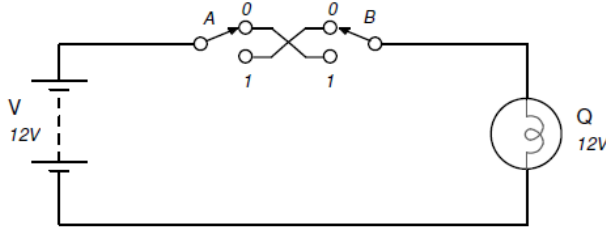
$$Q = \overline{A + B}$$

-d-

Sekil 12.6 - VEYADEĞİL kapısı a) Elektriksel Eşdeğer Devresi b) Doğruluk Tablosu c) Sembolü d) Boolean Eşitliği

### ÖZEL VEYA Kapısı (Exclusive Or Gate):

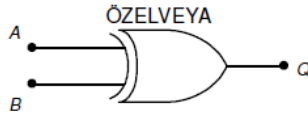
ÖZELVEYA Kapısı, XOR olarak sembolize edilmektedir. Bu kapının çalışma özelliği şu şekildedir. Giriş seviyeleri eşit olduğunda çıkış seviyesi "0", giriş seviyeleri farklı olduğunda ise çıkış seviyesi "1" olur.



| A | B | Q |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

-a-

-b-



$$Q = A \cdot \bar{B} + \bar{A} \cdot B$$

$$Q = A \oplus B$$

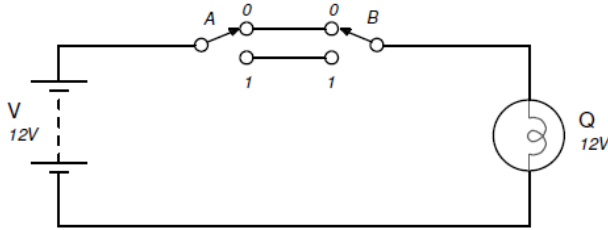
-c-

-d-

Sekil 12.7 – ÖZEL VEYA kapısı a) Elektriksel Eşdeğer Devresi b) Doğruluk Tablosu c) Sembolü d) Boolean Eşitliği

### ÖZEL VEYA DEĞİL Kapısı (Exclusive Or Nor Gate):

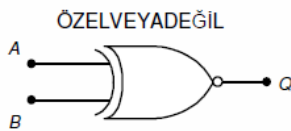
ÖZELVEYADEĞİL kapısında, girişleri eşit olduğunda çıkışı "1", girişlerinin farklı olduğunda ise çıkışı "0" olur.



| A | B | Q |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

-a-

-b-



$$Q = \overline{A \cdot \bar{B} + \bar{A} \cdot B}$$

$$Q = \overline{A \oplus B}$$

-c-

-d-

Sekil 12.8- ÖZELVEYADEĞİL kapısı a) Elektriksel Eşdeğer Devresi b) Doğruluk Tablosu c) Sembolü d) Boolean Eşitliği

### 3.2. Ardışık lojik elemanlar

#### Sıralı mantık

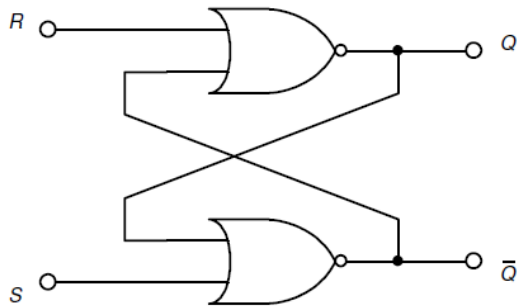
Her sayısal sistemde entegre devreler bulunsa da, pratikte rastlanan sistemlerin çoğunda *sıralı mantık* terimi ile adlandırılan bellek elemanları da vardır. Bellek elemanlarının, girişinde saat darbeleri kullanan sıralı devrelere ise saatli sıralı devreler denir. Bu devreler kararlı çalışmaktadır.

#### Flip –Flop ‘lar:

Sıralı devrelerde kullanılan bellek elemanlarına “flip-flop” denilmektedir. Bu devreler bir bitlik bilgi saklama yeteneğine sahiptirler. Flip –Flop’lar tek bir durum sinyali ile ikili bir durumu devreye güç verildiği sürece korurlar.

#### RS Flip – Flop :

RESET ve SET kelimelerinin ilk harflerinden ismini alan bu flip-flop çeşidinde, girişler R ve S, çıkışlar ise Q ve  $\bar{Q}$  uçları olarak kodlanmıştır. Görüldüğü gibi Q ve onun değili olan  $\bar{Q}$  birbirlerinin tersi seviyededir. Q = 1 ise;  $\bar{Q}$  = 0 seviyesindedir; Q = 0 ise;  $\bar{Q}$  = 1 seviyesindedir.



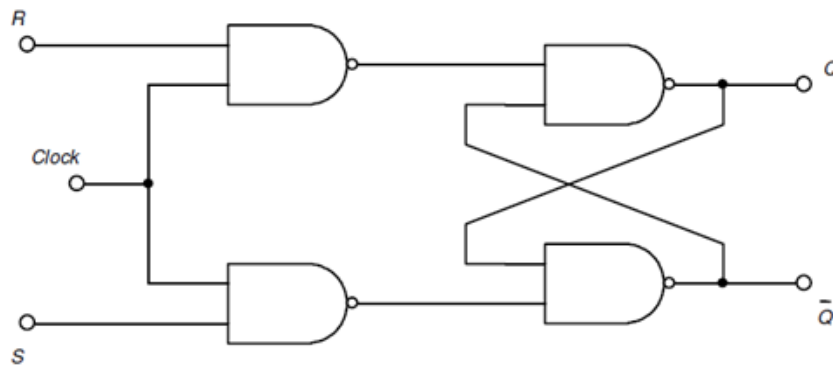
-a-

| S | R | Q | $\bar{Q}$ |
|---|---|---|-----------|
| 0 | 0 | Q | $\bar{Q}$ |
| 0 | 1 | 0 | 1         |
| 1 | 0 | 1 | 0         |
| 1 | 1 | X | X         |

-b-

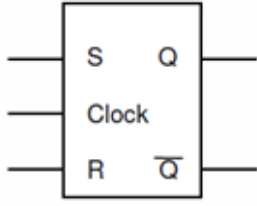
Sekil 12.9. - VEYADEĞİL Kapılı Temel RS Flip- Flop a) Şeması b) Doğruluk Tablosu.

RS flip-flop'lara bir tetikleme devresi ilave edilerek daha kullanışlı hale getirilmiştir. Bu durumda değişkenlerin çıkışta ki yansıması için, R ve S girişlerine uygulanan değerlere ek olarak bir tetikleme darbesi (clock pulse) uygulanması gerekir. Tetikleme darbesi olarak lojik “1” seviyesi kullanılır.



-a-





-b-

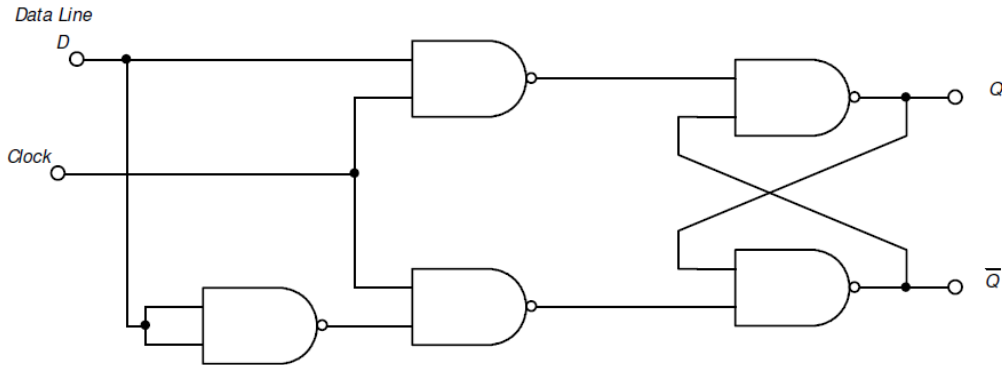
| $Q$ | $S$ | $R$ | $Q_{(t+1)}$ |
|-----|-----|-----|-------------|
| 0   | 0   | 0   | 0           |
| 0   | 0   | 1   | 0           |
| 0   | 1   | 0   | 1           |
| 0   | 1   | 1   | Tanımsız    |
| 1   | 0   | 0   | 1           |
| 1   | 0   | 1   | 0           |
| 1   | 1   | 0   | 1           |
| 1   | 1   | 1   | Tanımsız    |

-c-

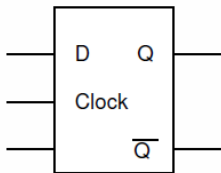
Sekil 12.10. - Tetiklemeli RS Flip- Flop a) Şeması b) Sembolü c) Doğruluk Tablosu

### D (DATA) Tipi Flip-Flop :

D tipi flip- flop uygulamada bellek elemanı olarak kullanılmaktadır. D Tipi Flip Flop tetiklemeli R-S flip-flop değiştirilerek elde edilmiştir. Giriş, D çıkışlar ise  $Q$  ve  $\bar{Q}$  uçları olarak belirlenmiştir. D girişine uygulanan sinyal, tetikleme (clock) girişine bir tetikleme darbesi uygulandığında Q çıkışına aktarılır.  $D=1$  ise  $Q = 1$  ve  $\bar{Q} = 0$ 'dır. Eğer tetikleme darbesi uygulanmamış ise çıkışlarda bir değişiklik olmaz ve durumlarını korurlar.



-a-



-b-

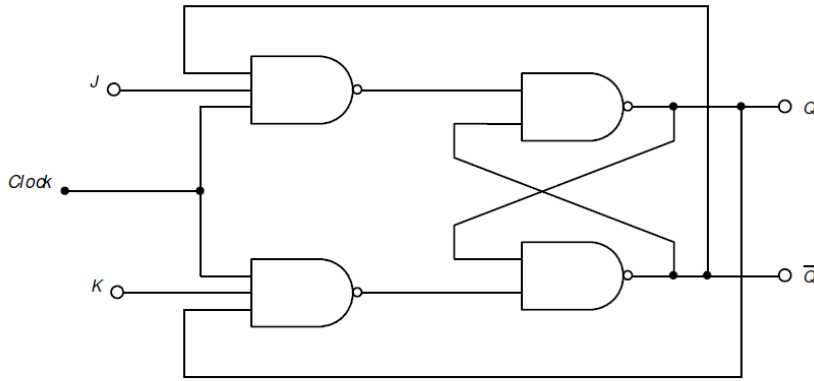
| $Q_t$ | $D$ | $Q_{(t+1)}$ |
|-------|-----|-------------|
| 0     | 0   | 0           |
| 0     | 1   | 1           |
| 1     | 0   | 0           |
| 1     | 1   | 1           |

-c-

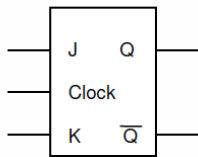
Sekil 12.11. - D Flip- Flop a) Şeması b) Sembolü c) Doğruluk Tablosu

### J-K Flip- Flop :

J-K Flip Flopu, R-S Flip-Flop' undaki tanımsızlık durumunun J-K Flip Flop'unda tanımlı hale getirilmesi açısından RS' in geliştirilmiş türüdür. J ve K girişleri SET (kurma) ve RESET (silme) için kullanılır. ( J = SET; K = RESET ) J ve K girişlerine aynı anda "1" uygulandığında, flip-flop deęilleyen (eviren) durumuna geęer.  $Q(t) = 1$  ise  $Q(t+1) = 0$ ;  $Q(t) = 0$  olduęunda ise  $Q(t+1) = 1$  olur.



-a-



-b-

| $Q_t$ | J | K | $Q_{(t+1)}$ |
|-------|---|---|-------------|
| 0     | 0 | 0 | 0           |
| 0     | 0 | 1 | 0           |
| 0     | 1 | 0 | 1           |
| 0     | 1 | 1 | 1           |
| 1     | 0 | 0 | 1           |
| 1     | 0 | 1 | 0           |
| 1     | 1 | 0 | 1           |
| 1     | 1 | 1 | 0           |

-c-

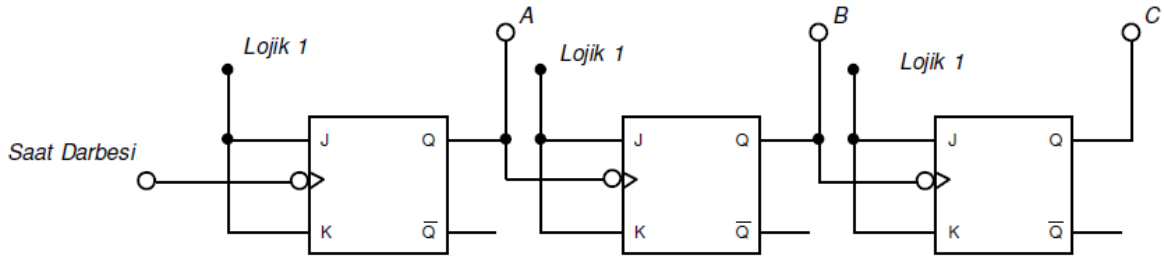
Sekil 12.12. - JK Flip- Flop a) Şeması b) Sembolü c) Doğruluk Tablosu

### 3.3. Flip-Flop'larla Sayıcı Tasarımı

Sayıcılar temelde tetiklenme şekillerine göre asenkron ve senkron olmak üzere ikiye ayrılır. Asenkron sayıcılarda, ana tetikleme sinyali sayıcı içindeki sayıcılardan sadece ilk Flip-Flop'un girişine uygulanır. Bu Flip-Flop'un çıkışı ise bir sonraki Flip Flop'u tetikler. Bir başka deyişle; her Flip-Flop'un çıkışı bir sonraki Flip-Flop için tetikleme darbesi olarak kullanılır. Senkron sayıcılar ise sayıcıda yer alan tüm Flip-Flop'lar aynı anda tetiklenir. Saat darbeleri bütün Flip-Flop'ların CP(Clock Pals) girişlerine uygulanır.

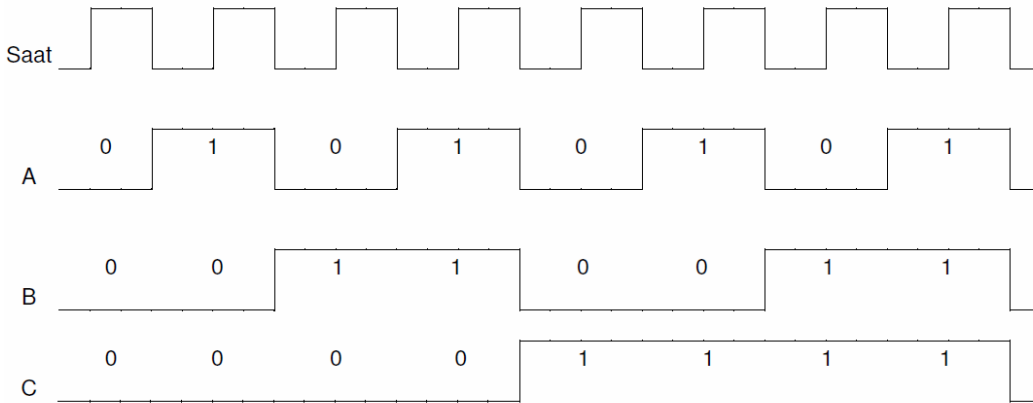
#### Asenkron Sayıcılar:

Asenkron sayıcılar Ripple ( Dalgacık ) Sayıcı olarak da adlandırılırlar. Flip-Flop'ların çıkış deęişimi bir sonraki Flip-Flop'u tetikleme için kullanılır. Sayıcının kaçta kadar sayacağı sayma modu olarak tanımlanır.  $N = \text{Flip-Flop sayısı}$  olarak, Sayma modu =  $2N$  olarak bulunur ve son göstereceęi sayının onluk deęeri ise  $2N - 1$ 'dir. Birbirlerine seri ve kaskad olarak baęlanarak oluřturulan bir sayıcı Sekil 12.13'te gösterilmiřtir. Üç bitlik olan bu sayıcı ikilik tabanda 000 dan 111 deęerine kadar saymaktadır.



Sekil 12.13. Üç Bitlik Asenkron Sayıcı.

Görüldüğü gibi tüm Flip Flop'ların J ve K girişlerine Lojik "1" seviyesi uygulanmıştır. Flip-Flop'lar düşen kenar tetiklenmeli olup lojik seviye "1" den "0"a indiğinde tetiklenmektedir ( Saat darbesinin uygulandığı uçtaki "değilleme" halkası bunu işaret etmektedir. ). İlk anda tüm çıkışlar "0" kabul edilir. İlk saat darbesinin düşen kenarında A Flip-Flop'unun çıkışı "1" olacaktır ( 001 ). İkinci saat darbesinde ise A Flip-Flop'un çıkışı "1" seviyesinden "0" seviyesine düşecektir. Bu değişim ise B Flip Flop'unun çıkışını "0" dan "1" e yükselmesine sebep olacaktır (010). Üçüncü saat darbesinde A Flip Flop'unun çıkışı tekrar "1" seviyesine yükselecek fakat B Flip Flop'unun çıkışında bir değişim olmayacak (011). Dördüncü saat darbesinde ise A Flip-Flop'unun çıkışı "0" seviyesine düşecektir. Bu düşüş ile B'nin çıkışı "0" a düşecektir ve bu C Flip-Flop'unun tetikleyerek, çıkışını "1" seviyesine çıkaracaktır. Tüm çıkışlar "1" olduktan sonra 8 saat darbesinde tüm çıkışlar tekrar "0" seviyesine iner ve sayma tekrar başlar.



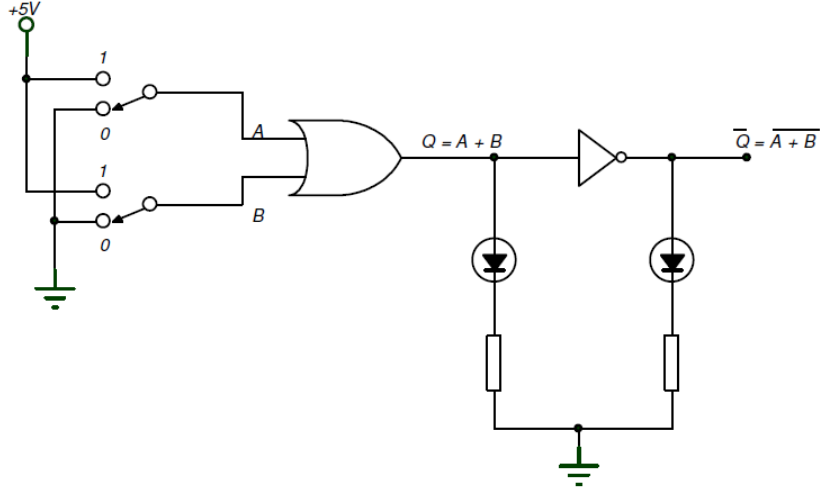
Sekil 12.14. 3 Bitlik MOD-8 Sayıcısı Saat Darbesi ve Flip-Flop Çıkışları

### Senkron Sayıcılar:

Senkron sayıcılarda devredeki tüm Flip-Flop'lar eş zamanlı (senkron) olarak tetiklenirler. Ortak saat darbesi, asenkron sayıcıda olduğu gibi sırası ile tetikleme yerine, tüm Flip-Flop'ları aynı anda tetikler. Flip-Flop'un çıkışının değişerek bir sonraki duruma geçmesi ise, J ve K girişlerinin değerleri belirler.  $J=K=0$  durumunda Flip-Flop bulunduğu çıkış durumunu korurken,  $J=K=1$  Durumunda ise bir önceki çıkış durumunun "değilini" (tümleyeni) çıkışta gösterir. Devreye yapılan tek giriş, saat darbesidir. Senkron sayıcı istenilen Mod'da tasarlanabilir. Tasarlama süreci şu şekildedir. Tasarım yapılırken bir sonraki durum göz önüne alınmalıdır. Daha sonra bu durumu sağlayacak J ve K girişlerinin alması gereken değerler Karnaugh Haritasına aktarılır. Burada uygun sadeleştirmeler yapılır ve Flip-Flop'ların girişlerinin kontrolü için gerekli lojik değerler bulunur ve devre tasarlanır.

## 4. DENEYİN YAPILIŞI

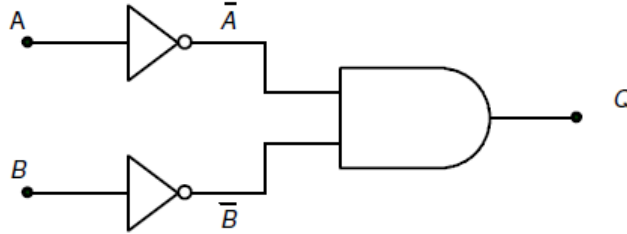
### 4.1. Kombinasyonel lojik elemanlar ve devre uygulamaları



Şekil 12.15. Temel lojik elemanlar için uygulama devresi.

| A | B | Q | $\bar{Q}$ |
|---|---|---|-----------|
| 0 | 0 |   |           |
| 0 | 1 |   |           |
| 1 | 0 |   |           |
| 1 | 1 |   |           |

Tablo 12.2 Temel lojik elemanlar deneyi

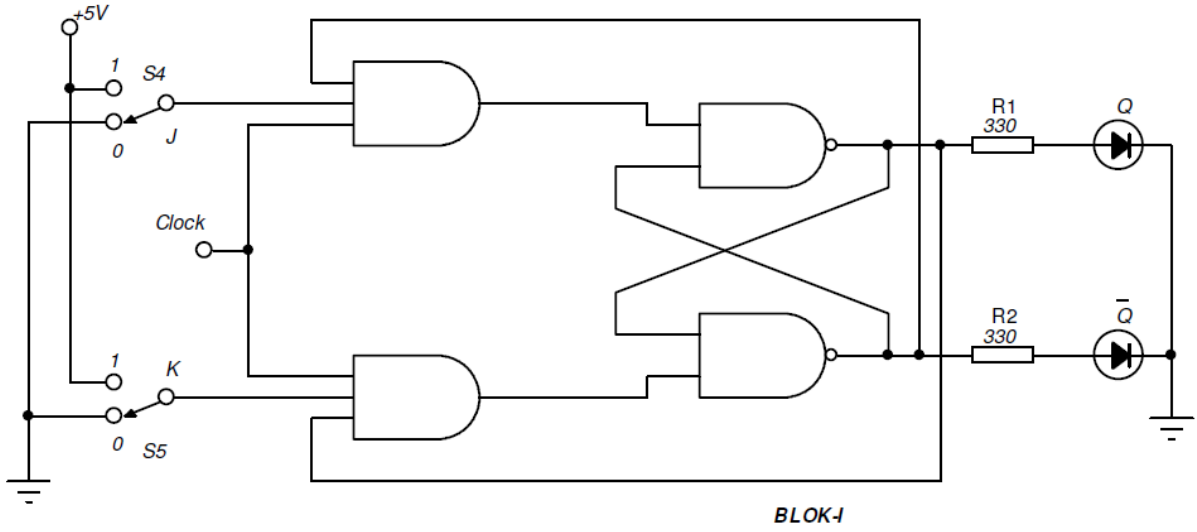


Şekil 12.16. Temel lojik elemanlar için uygulama devresi.

#### Deneyin Yapılışı:

- 1- Şekil 12.15'te görülen devreyi deney bordu üzerine kurunuz.
- 2- Tablo 12.2'de ki giriş değerlerini, anahtarlar yardımıyla devreye uygulayın. Q ve  $\bar{Q}$  çıkışlarının lojik değerlerini kaydedin. LED'lerin durumunu kontrol ediniz.
- 3- Şekil 12.16'te görülen devreyi kurunuz. Q çıkışının eşitliğini bularak lojik giriş değerlerinin olasılıklarına göre, çıkışı gözlemleyiniz.
- 4- Şekil 12.15'te ve Şekil 12.16'te görülen lojik devre çıkışlarının aynı olmasını Demorgan teoremine göre yorumlayınız.

## 4.2. Ardışık lojik elemanlar ve devre uygulamaları

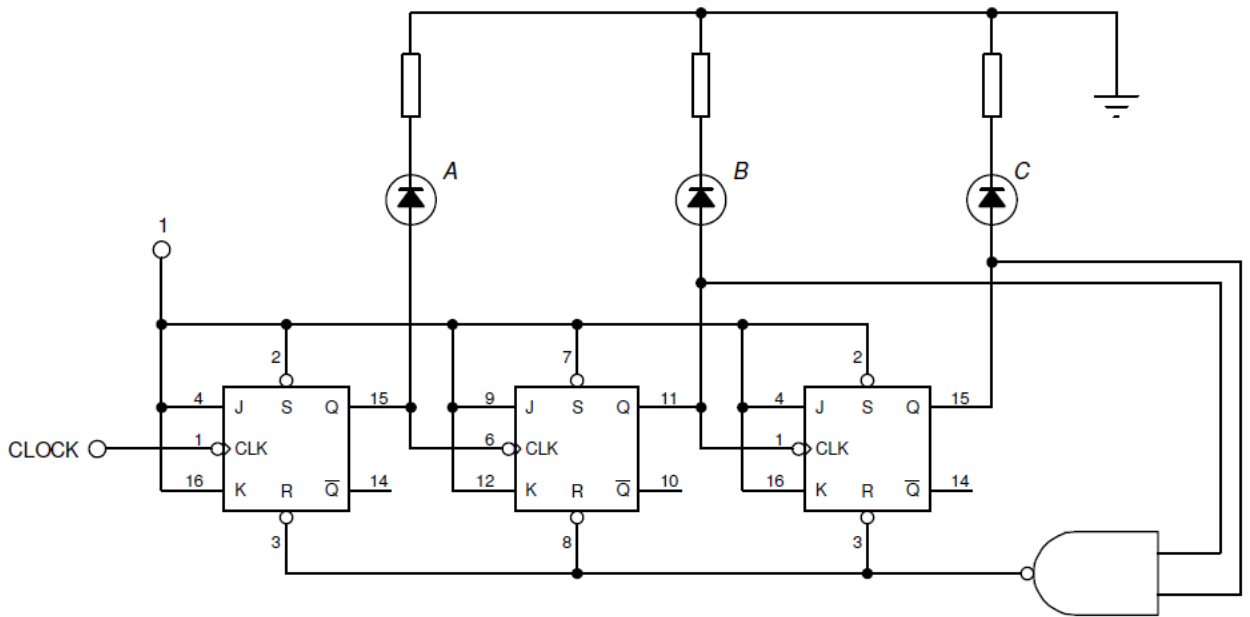


Sekil 12.17 - J-K Flip Flop uygulama Devresi

### Deneyin Yapılışı:

1. JK Flip-Flop elemanı kullanarak Şekil 12.17’de görülen devreyi deney bordu üzerine kurunuz.
2. Deney bordu üzerinde kare dalga osilatörünü kullanarak CLK, sinyalini üretip devrenin CLK girişine uygulayınız.
3. S4 anahtarı ile J ve S5 anahtarı ile de K girişinin değerlerini değiştirerek Flip-Flop çıkışındaki değişimleri gözlemleyiniz. Şekil 12.12’deki JK doğruluk tablosu ile karşılaştırınız.

## 4.3. Flip-Flop’larla Sayıcı Tasarımı



Sekil 12.18 – Mod-6 Asenkron sayıcı devresi

| CLK | MSB<br>C | B | LSB<br>A |
|-----|----------|---|----------|
| 0   |          |   |          |
| 1   |          |   |          |
| 2   |          |   |          |
| 3   |          |   |          |
| 4   |          |   |          |
| 5   |          |   |          |
| 6   |          |   |          |
| 7   |          |   |          |
| 8   |          |   |          |
| 9   |          |   |          |
| 10  |          |   |          |

Tablo 12.3. - Asenkron Sayıcı Saat Darbelerine Karşılık Çıkış Değerleri.

#### **Deneyin Yapılışı:**

1. JK Flip-Flop elemanlarını kullanarak Şekil 12.18’de görülen Mod-6 Asenkron sayıcı devresini deney bordu üzerine kurunuz.
2. Saat (clock) darbesi olarak ana üniteden 1Hz’lik kare dalga sinyal uygulayınız. Saat darbeleri ana ünitadaki pals devresi yardımıyla manuel olarak da uygulanabilir.
3. Her saat darbesi ile A-B-C çıkışlarının değişimini gözlemleyiniz ve Tablo 12.3’e kaydediniz.

#### **5. DENEY RAPORUNDA İSTENENLER**

1. Lojik devreler ve endüstriyel uygulamaları hakkında bilgi veriniz.
2. Deneylerde uygulaması yapılacak. Şekil 12.16, Şekil 12.17 ve Şekil 12.18’de görülen lojik devrelerin doğruluk tablolarını bulunuz.
3. Kombinasyonel lojik devreler ile ardışık lojik devreler arasındaki farkı yorumlayınız.